

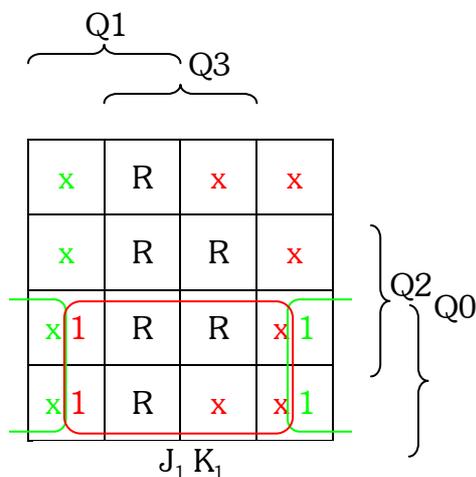
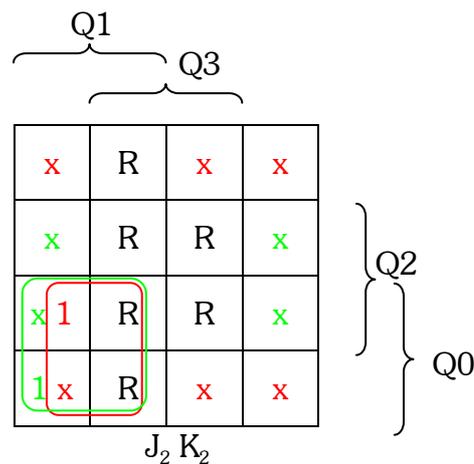
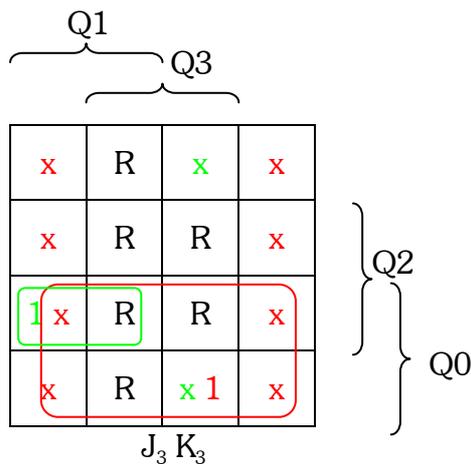


4.1 Synchroner BCD-Ringzähler

| Q3 | Q2 | Q1 | Q0 | Dez. | J ₃ K ₃ | J ₂ K ₂ | J ₁ K ₁ | J ₀ K ₀ |
|----|----|----|----|------|-------------------------------|-------------------------------|-------------------------------|-------------------------------|
| 0 | 0 | 0 | 0 | 0 | 0x | 0x | 0x | 11 |
| 0 | 0 | 0 | 1 | 1 | 0x | 0x | 1x | 11 |
| 0 | 0 | 1 | 0 | 2 | 0x | 0x | x0 | 11 |
| 0 | 0 | 1 | 1 | 3 | 0x | 1x | x1 | 11 |
| 0 | 1 | 0 | 0 | 4 | 0x | x0 | 0x | 11 |
| 0 | 1 | 0 | 1 | 5 | 0x | x0 | 1x | 11 |
| 0 | 1 | 1 | 0 | 6 | 0x | x0 | x0 | 11 |
| 0 | 1 | 1 | 1 | 7 | 1x | x1 | x1 | 11 |
| 1 | 0 | 0 | 0 | 8 | x0 | 0x | 0x | 11 |
| 1 | 0 | 0 | 1 | 9 | x1 | 0x | 0x | 11 |
| 1 | 0 | 1 | 0 | 10 | R | R | R | R |
| 1 | 0 | 1 | 1 | 11 | R | R | R | R |
| 1 | 1 | 0 | 0 | 12 | R | R | R | R |
| 1 | 1 | 0 | 1 | 13 | R | R | R | R |
| 1 | 1 | 1 | 0 | 14 | R | R | R | R |
| 1 | 1 | 1 | 1 | 15 | R | R | R | R |

Die Eingangscodierung für die Dezimalzahlen von 10 bis 15 dürfen nicht vorkommen. Sie sind redundant und werden im KV-Diagramm zur Schaltungsoptimierung verwendet.

| J | K | Q ^t | Q ^{t+1} |
|---|---|----------------|------------------|
| 0 | x | 0 | 0 |
| 1 | x | 0 | 1 |
| x | 1 | 1 | 0 |
| x | 0 | 1 | 1 |



$$J_3 = Q_0 Q_1 Q_2$$

$$J_2 = Q_0 Q_1$$

$$J_1 = Q_0 \bar{Q}_3$$

$$J_0 = 1$$

$$K_3 = Q_0$$

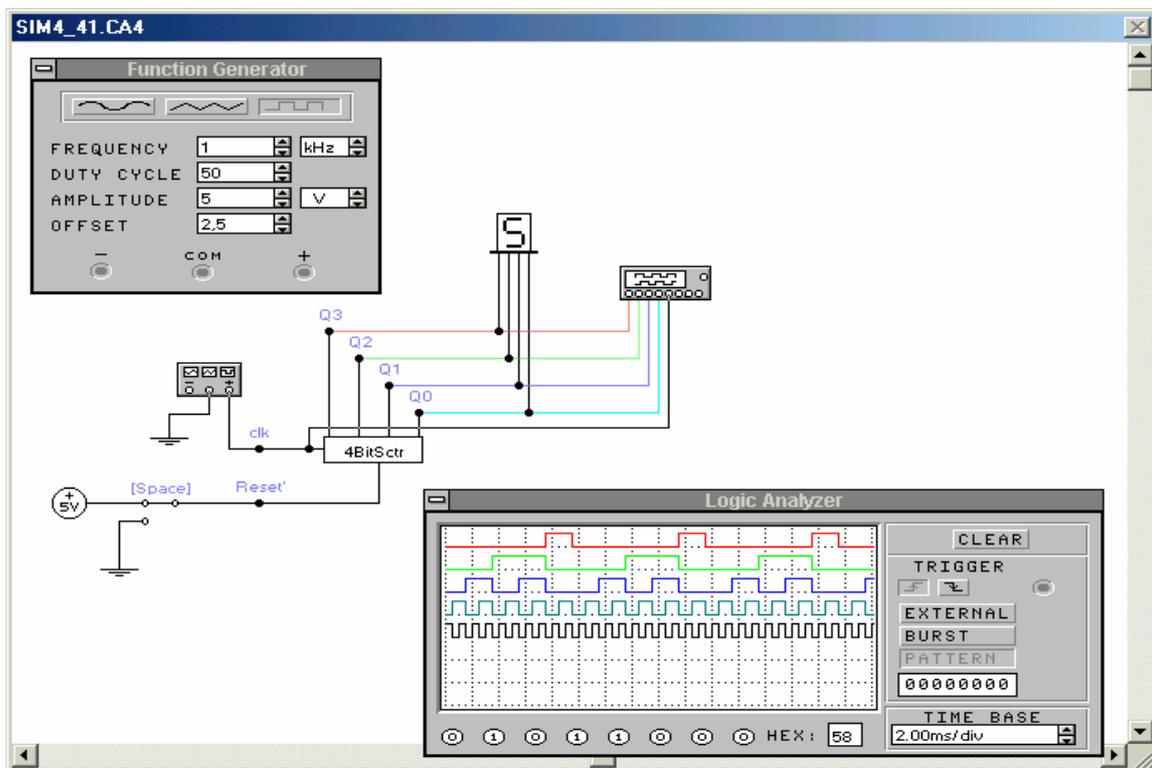
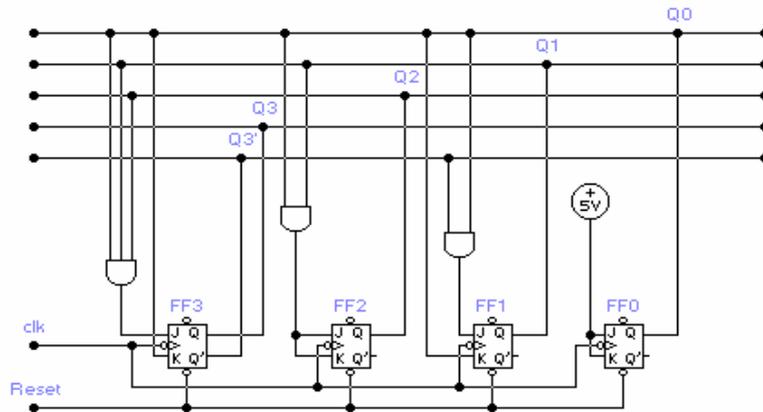
$$K_2 = Q_0 Q_1 = J_2$$

$$K_1 = Q_0$$

$$K_0 = 1$$



Aufbau der Schaltung und Simulation in Electronics Workbench.



Pinbelegung:



Pulsdiagramme: Bild 4.1-1 Bild 4.1-2 Bild 4.1-3

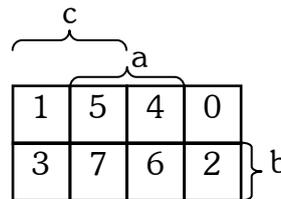
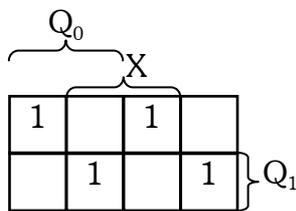
Maximale Betriebsfrequenz: $f = 9,5 \text{ MHz}$



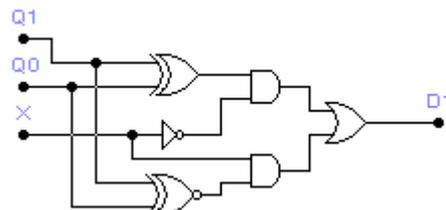
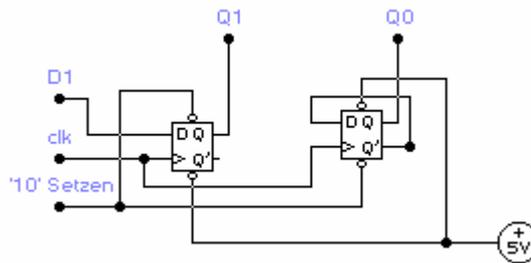
4.2 Synchroner 2-Bit-Ringzähler

| X | Q1 | Q0 | Dez. | D1 | D0 |
|---|----|----|------|----|----|
| 0 | 0 | 0 | 0 | 0 | 1 |
| 0 | 0 | 1 | 1 | 1 | 0 |
| 0 | 1 | 0 | 2 | 1 | 1 |
| 0 | 1 | 1 | 3 | 0 | 0 |
| 1 | 0 | 0 | 4 | 1 | 1 |
| 1 | 0 | 1 | 5 | 0 | 0 |
| 1 | 1 | 0 | 6 | 0 | 1 |
| 1 | 1 | 1 | 7 | 1 | 0 |

| D | Q ^t | Q ^{t+1} |
|---|----------------|------------------|
| 0 | 0 | 0 |
| 1 | 0 | 1 |
| 0 | 1 | 0 |
| 1 | 1 | 1 |

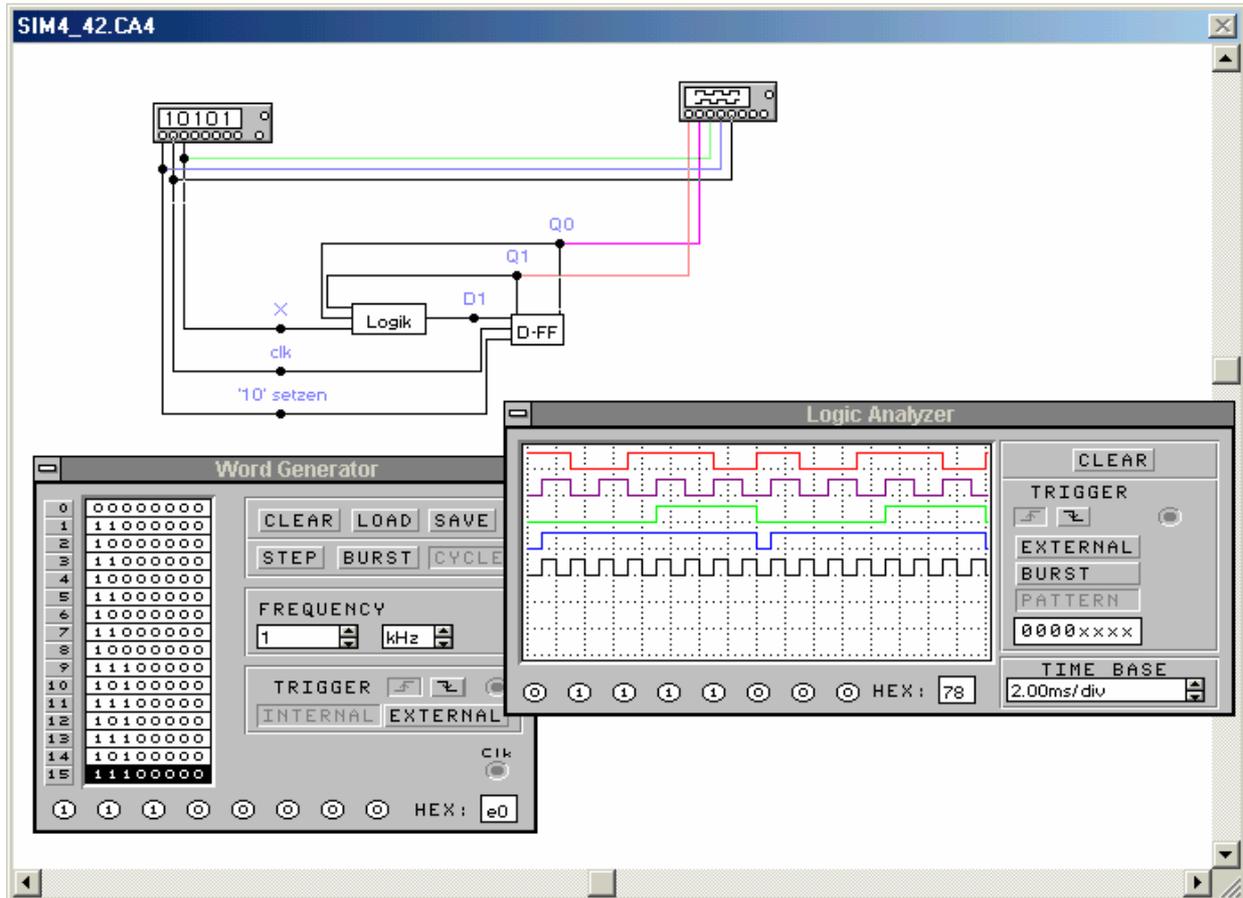


$$\begin{aligned}
 D_1 &= \overline{X}\overline{Q_1}Q_0 + XQ_1Q_0 + X\overline{Q_1}\overline{Q_0} + \overline{X}Q_1Q_0 \\
 &= \overline{X}(\overline{Q_1}Q_0 + Q_1\overline{Q_0}) + X(Q_1Q_0 + \overline{Q_1}\overline{Q_0}) \\
 &= \overline{X}(Q_1 \oplus Q_0) + X(Q_1 \equiv Q_0)
 \end{aligned}$$





Aufbau der Schaltung und Simulation in Electronics Workbench.



Pinbelegung:





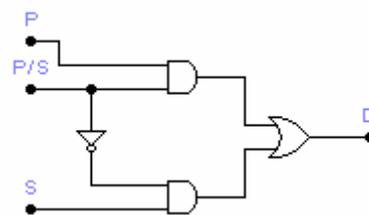
4.3 4-Bit-Schieberegister

a) Schieberegister

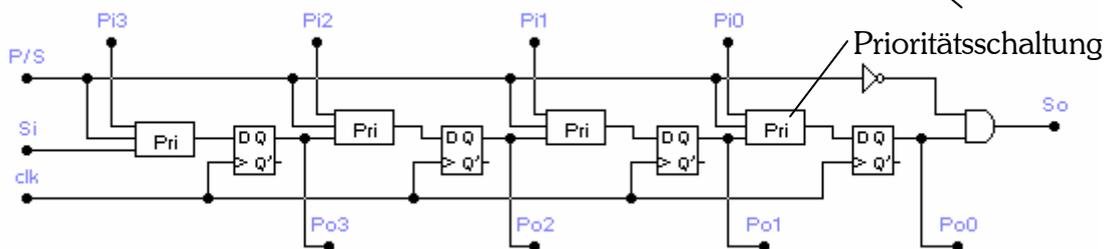
Zur Auswahl zwischen der Seriell- oder Paralleleingabe benötigt man eine Prioritätsschaltung. Diese ermöglicht mir die parallele Eingabe der Daten ohne von der seriellen Seite gestört zu werden. Die Prioritätsschaltung funktioniert so, dass die parallele Eingabe Vorrang hat. Zur Entwicklung der Schaltung benötigt man drei Eingänge und ein Ausgang. Mit "P/S" wähle ich zwischen parallele oder serielle Eingabe, "P" ist das parallel anstehendes Datum und "S" das serielle. Daraus ergibt sich folgende Schaltung:

| P/S | P | S | D |
|-----|---|---|---|
| 1 | 1 | x | 1 |
| 1 | 0 | x | 0 |
| 0 | x | 0 | 0 |
| 0 | x | 1 | 1 |

$$D = P/S \cdot P + \overline{P/S} \cdot S$$



Aufbau der Schaltung und Simulation in Electronics Workbench.



b) Parallel-Serienwandler

Erstellung eines Messprogramms.

Zum Testen der Schaltung benötigt man eine Abbruchbedingung zum anhalten der Schiebung. Dies kann man machen indem man die Daten in einem zweiten Schieberegister lädt und mit einer voreingestellten (zu erwartenden) Bitkombination vergleicht. Dabei ist zu achten ob man vorher die Daten Parallel-Seriell umgewandelt hat oder Seriell-Parallel.

Im 1. Fall werden die Daten seriell ins 2. Schieberegister eingelesen, parallel ausgegeben und verglichen. Die Daten kommen direkt aus dem seriellen Ausgang des 1. Schieberegisters.

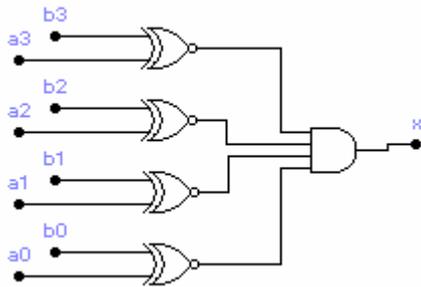
Schieberegisters.

Im 2. Fall benötigt man kein 2. Schieberegister der Vergleich kann an den Parallelausgängen des 1. Schieberegisters statt finden.

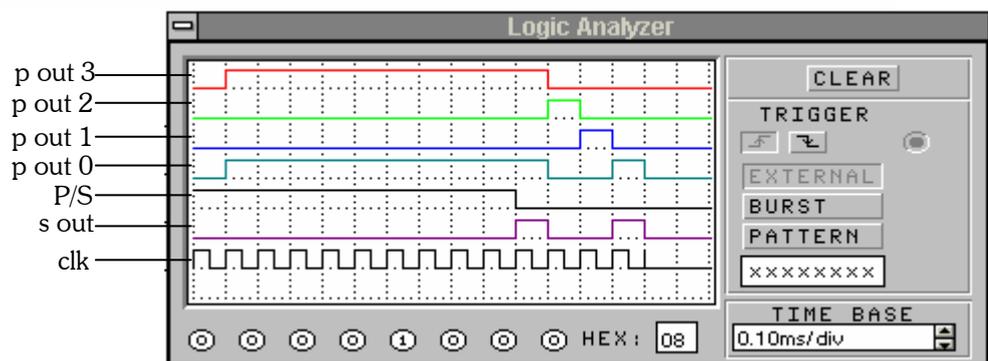
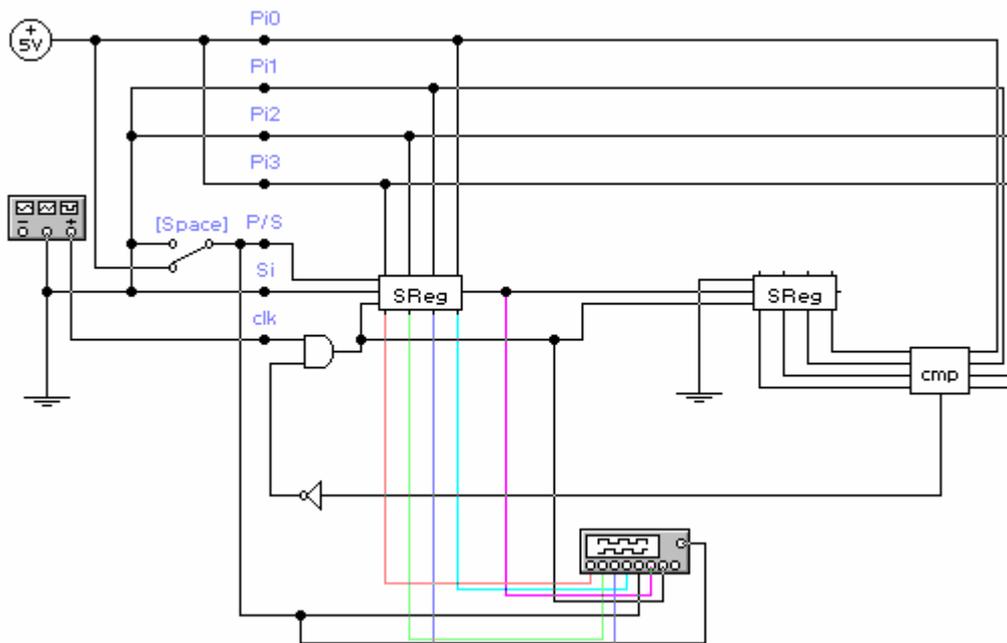
War der Vergleich in beiden Fällen erfolgreich ("1"), dann wird der Takt gesperrt, und die Ausgänge bleiben unverändert.



Vergleichsschaltung:

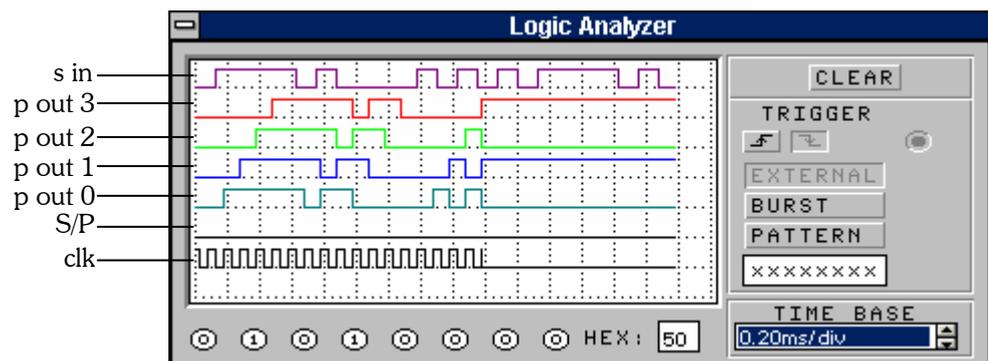
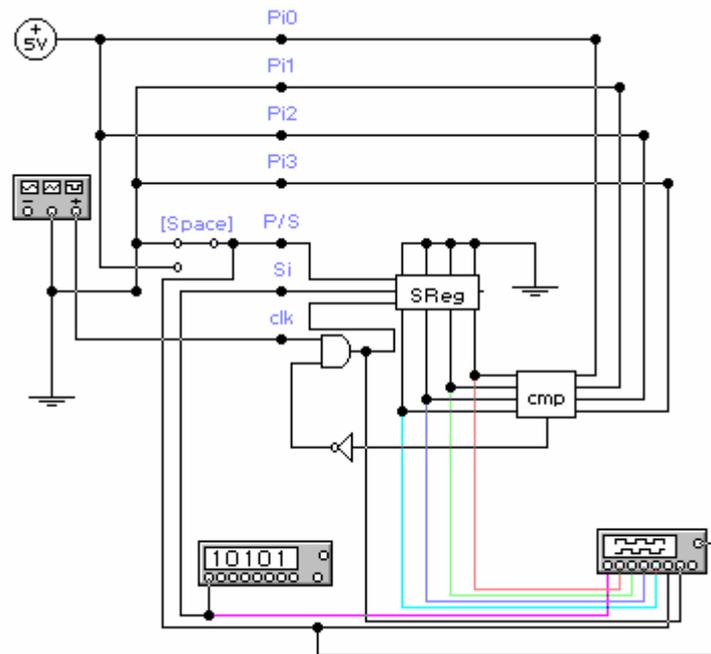


Simulation:





c) Serien-Parallelwandler





d) Parallel ladbares rückgekoppeltes Schieberegister
 Aufbau der Schaltung und Simulation in Electronics Workbench.

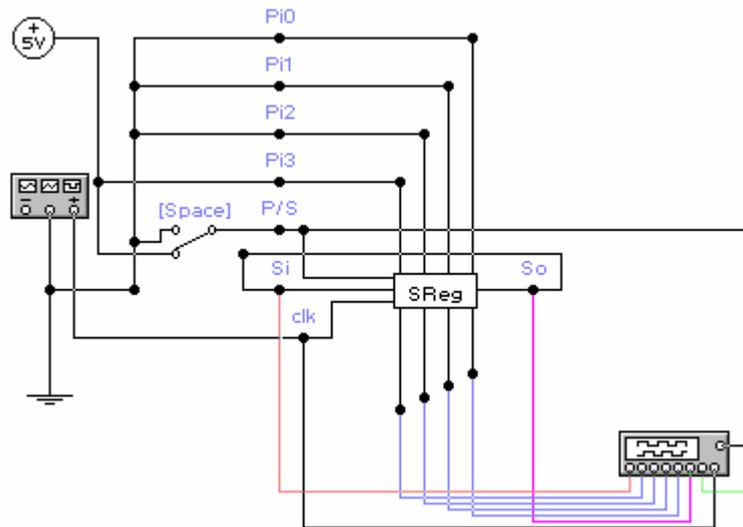


Diagramm für "1000"

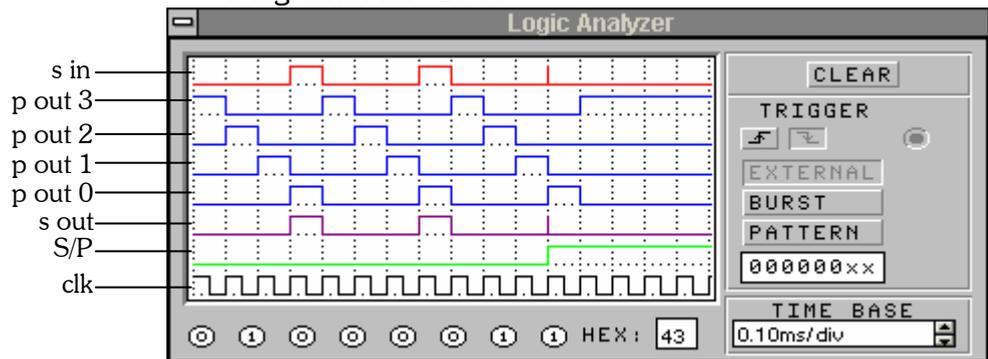


Diagramm für "0111"

