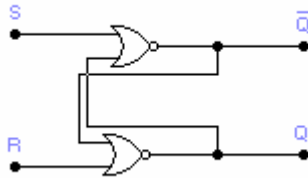




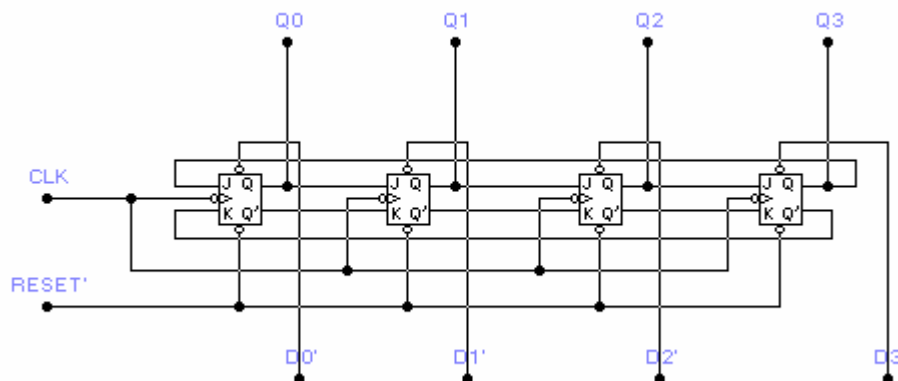
3.1 Asynchrones RS-Flip-Flop (Latch)

a) RS-Latch aus NOR-Gattern



b) Aufbau eines 4-Bit Ringschieberegisters mit 4 JK-Master-Slave-FF. Jedes FF wird mit dem gleichen Taktsignal angesteuert (synchron). Der Ausgang Q des vorhergehenden FF's wird auf den J Eingang des darauffolgenden FF's gelegt, das gleiche auch mit \bar{Q} und K . Die Ausgänge des letzten FF's werden auf die Eingänge des ersten FF's gelegt (Ringstruktur).

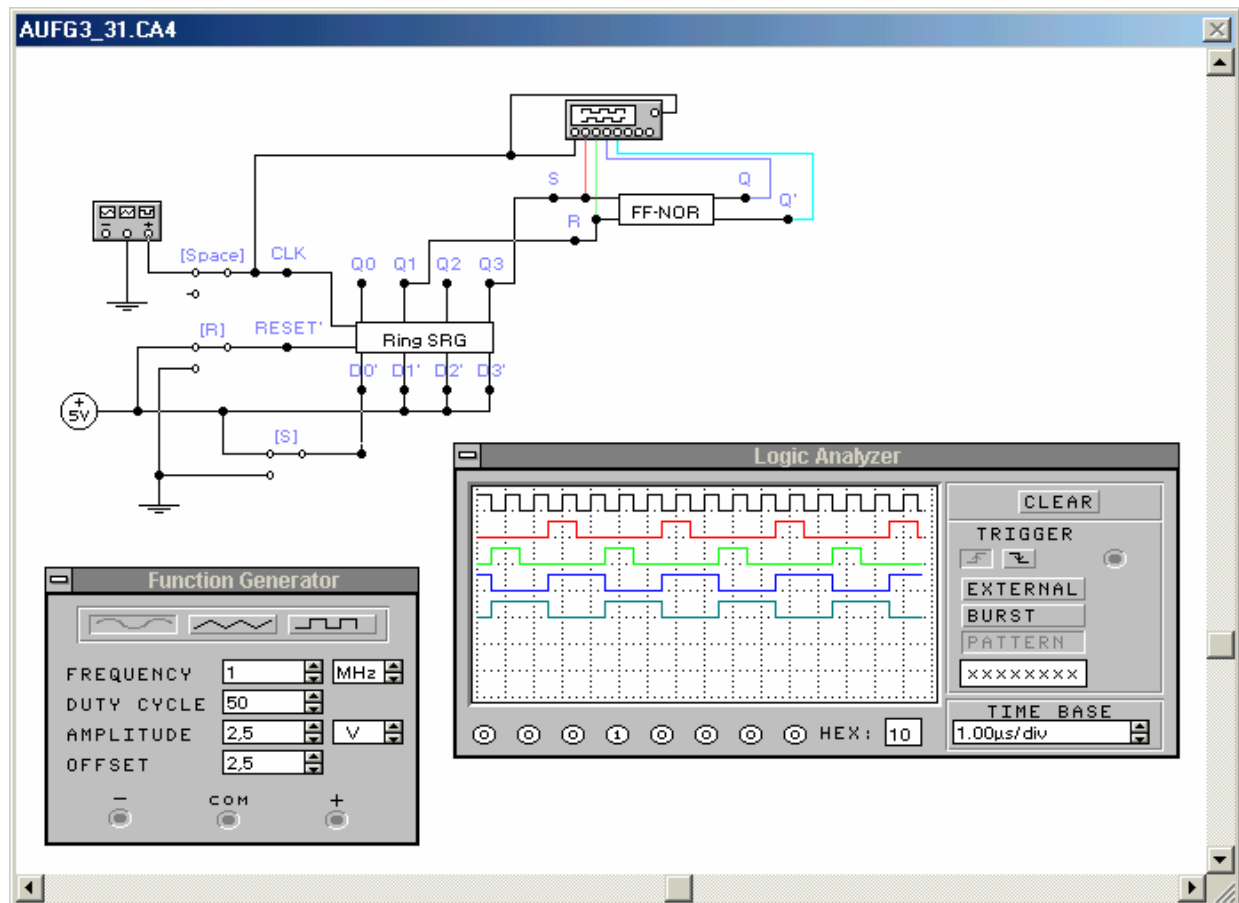
Das Anfangssignal '1000' wird über die vorbereiteten Eingänge $\overline{D0} - \overline{D3}$ gelegt. Danach wird das Signal mit jeder fallenden Taktflanke nach rechts verschoben.



Aufbau eines 4-Bit Ringschieberegisters mit parallelen Eingängen $D0 - D3$ (Low-Aktiv)



Aufbau der Schaltung und Simulation in Electronics Workbench.

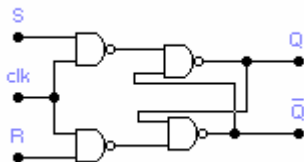


Pulsdiagramm: Bild 3.1-1

Taktfrequenz: $f = 1 \text{ kHz}$

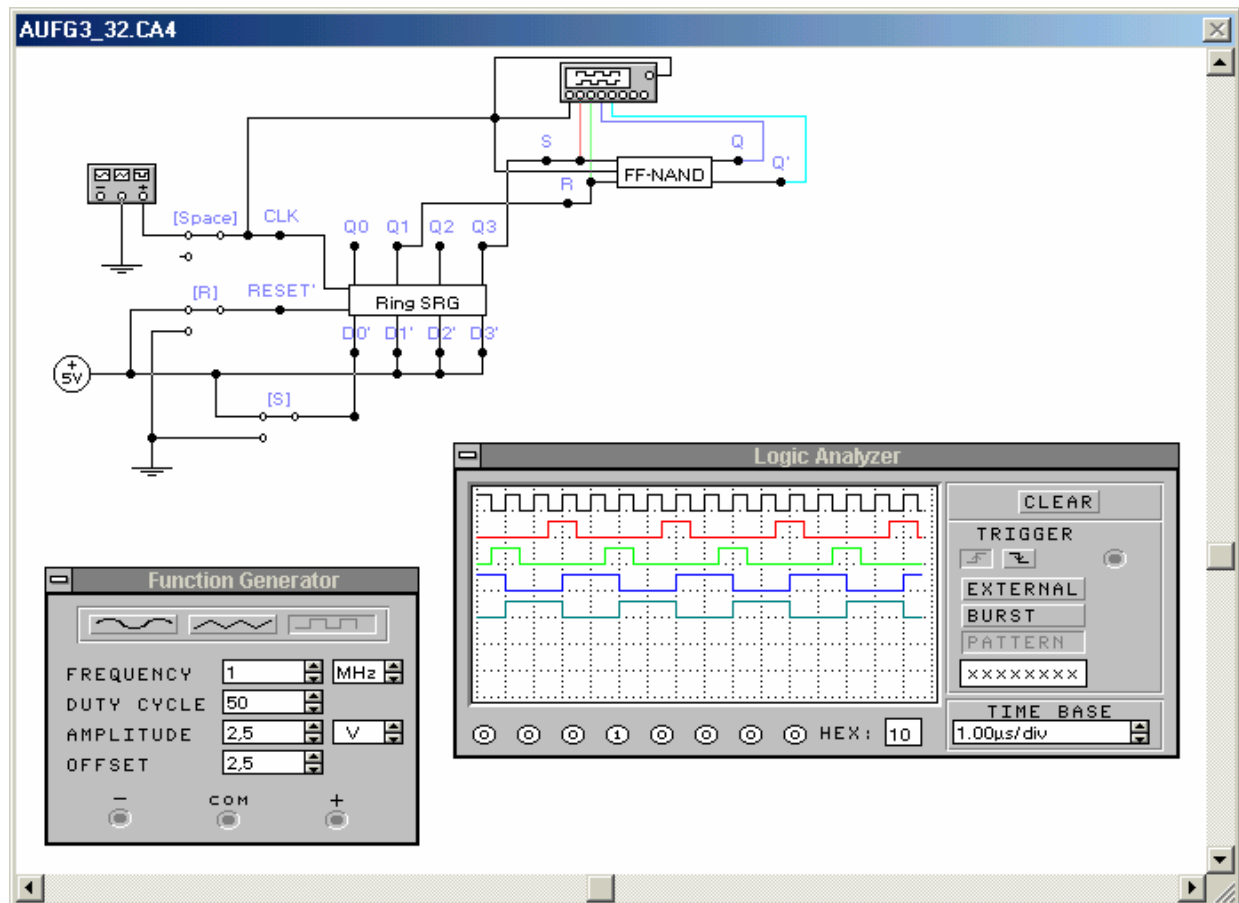
3.2 Synchrones RS-Flip-Flop (Latch)

a) RS-Latch aus NAND-Gattern





b) Aufbau der Schaltung und Simulation in Electronics Workbench



Pulsdiagramm: Bild 3.2-1

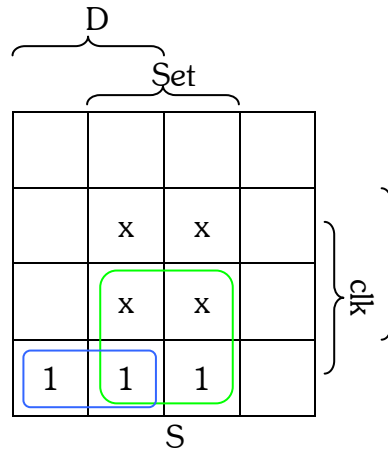
Taktfrequenz: $f = 1 \text{ kHz}$



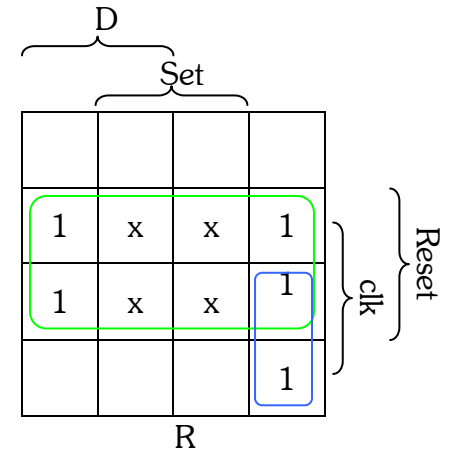
3.3 Synchrones D-Flip-Flop (Latch)

Einstufiges synchrones D-Latch mit synchronem Set- und asynchronem Reset-Eingang aus NOR-Gattern.

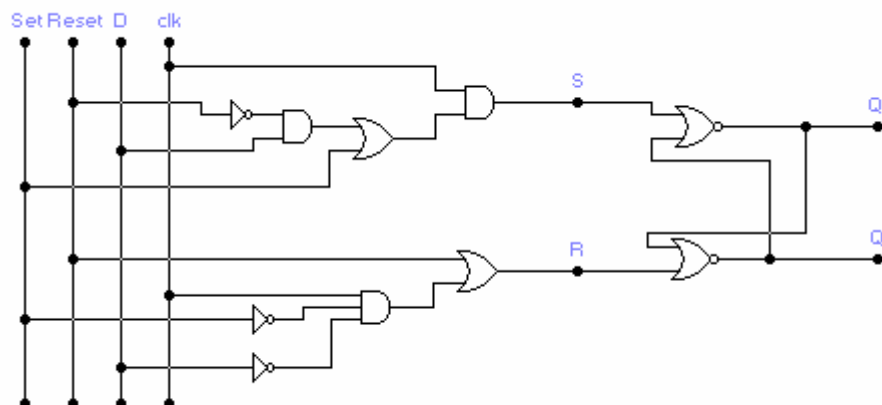
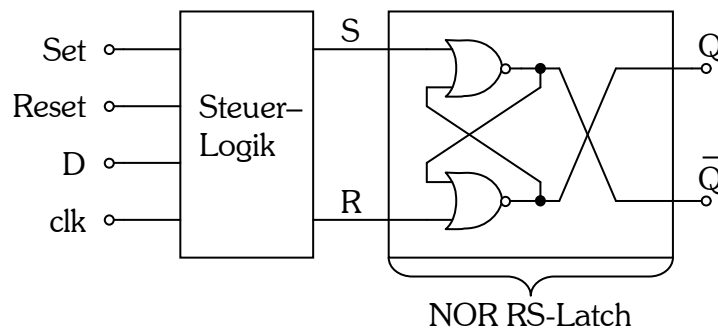
Set	Reset	D	clk	S	R
0	0	0	0	0	0
0	0	0	1	0	1
0	0	1	0	0	0
0	0	1	1	1	0
0	1	0	0	0	1
0	1	0	1	0	1
0	1	1	0	0	1
0	1	1	1	0	1
1	0	0	0	0	0
1	0	0	1	1	0
1	0	1	0	0	0
1	0	1	1	1	0
1	1	0	0	x	x
1	1	0	1	x	x
1	1	1	0	x	x
1	1	1	1	x	x



$$S = \text{clk} (\text{Set} + D \cdot \overline{\text{Reset}})$$

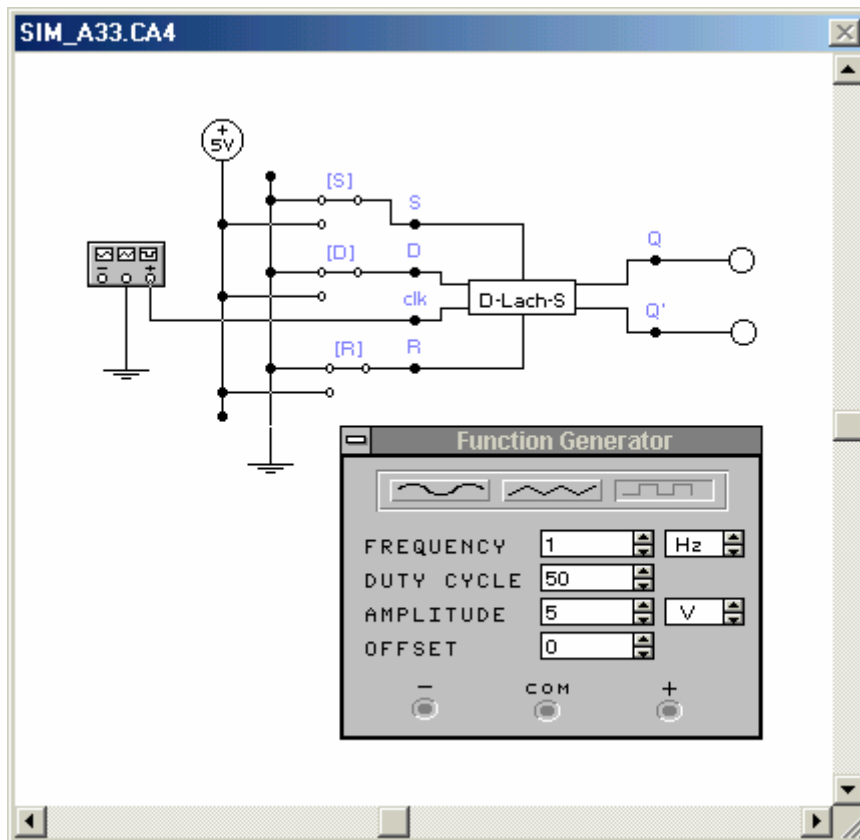


$$R = \text{Reset} + \overline{D} \cdot \overline{\text{Set}} \cdot \text{clk}$$



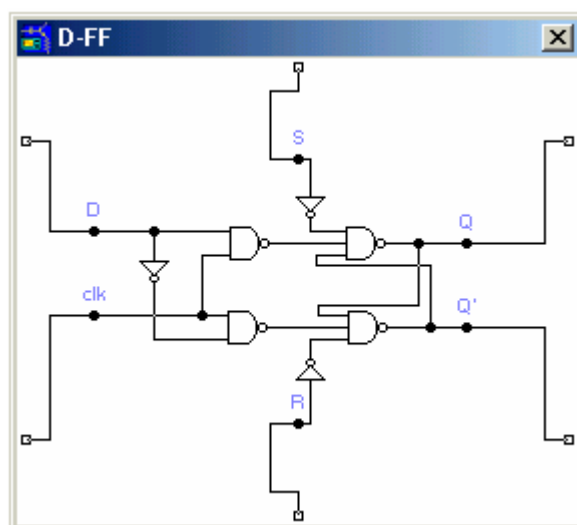


Simulation der Schaltung mit Electronics Workbench.



3.4 Master-Slave D-Flip-Flop

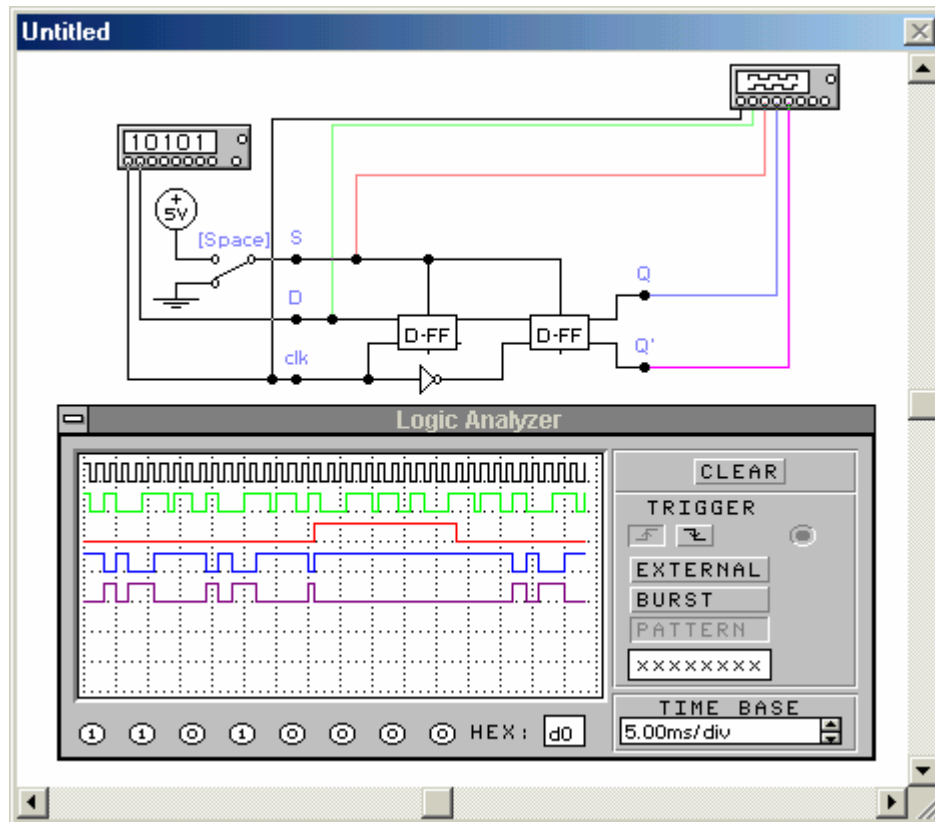
Aufbau einer einzelnen D-Latch-Stufe aus NAND-Gattern.



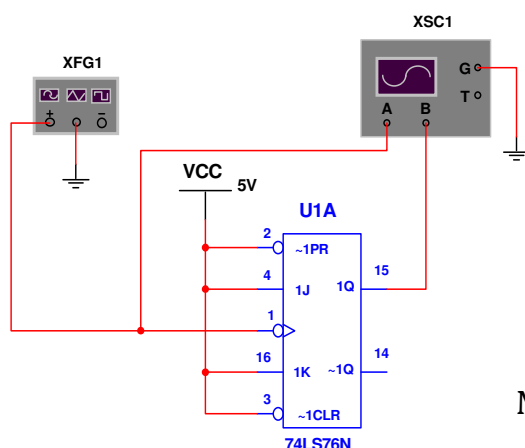


3.5 Simulation mit Electronics Workbench

Aufbau des MS-D-FF's mit asynchronem Set und simuliert.



3.6 Messung eines JK-MS FF's (LS7476)



1CLK	1	16	1K
1PRE	2	15	1Q
1CLR	3	14	1Q̄
1J	4	13	GND
Vcc	5	12	2K
2CLK	6	11	2Q
2PRE	7	10	2Q̄
2CLR	8	9	2J

Messung der Signallaufzeiten $t_{clk \rightarrow Q}$

Pulsdiagramm: Bild 3.6-1
Bild 3.6-2

	Datenblatt	gemessene Werte
t_{PHL}	25 ns	31,67 ns
t_{PLH}	16 ns	30,83 ns

Taktfrequenz: $f = 1 \text{ kHz}$