



1.1 Oszilloskop

Betrachtung und Diskussion der wesentlichen Bedienelemente, der Grundeinstellung sowie wichtiger Einstellgrößen.

1.2 Signalgeneratoren

Kennenlernen wichtiger Einstellgrößen.

1.3 Zusammenschaltung von Signalgenerator und Oszilloskop

- Rechtecksignal am Generator eingestellt:
Frequenz = 1MHz; $V_{\text{LOW}} = 0\text{V}$; $V_{\text{HIGH}} = 5\text{V}$
- Messungen am Oszilloskop stimmen mit den Einstellungen am Generator überein.
- Rechtecksignal Eingestellt: $V_{\text{LOW}} = 0\text{V}$; $V_{\text{HIGH}} = 4,5\text{V}$

1.4 HPS Messkoffer (mit rotem Punkt)

- Messung am **50Hz** Generator ohne Belastung (Bild 1.4-1):
 $V_{\text{LOW}} = 0\text{V}$; $V_{\text{HIGH}} = 4,25\text{V}$

Messung am **50Hz** Generator mit Belastung 4FO (Bild 1.4-2):
 $V_{\text{LOW}} = 0\text{V}$; $V_{\text{HIGH}} = 4,0\text{V}$

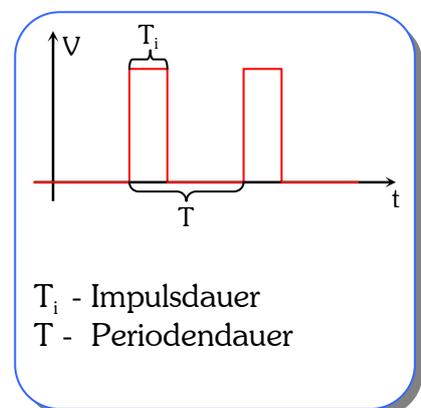
Messungen am **veränderlichen** Funktionsgenerator:
Maximale Belastung konnte nicht festgestellt werden, da bei Belastung mit 10 FO keine wesentliche Änderung sichtbar ist.

$f_{\text{min}} = 0,112\text{Hz}$; $T_i = 4,45\text{s}$; $T = 8,8\text{s}$ (Bild 1.4-3):

$$\text{Tastverhältnis: } \frac{T_i}{T} = \frac{4,45}{8,8} = 0,51 \approx 1:2$$

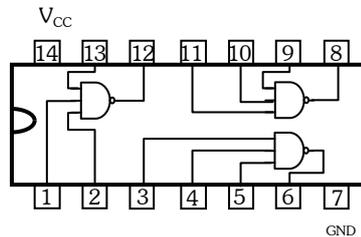
$f_{\text{max}} = 125\text{kHz}$; $T_i = 28\mu\text{s}$; $T = 96\mu\text{s}$ (Bild 1.4-4):

$$\text{Tastverhältnis: } \frac{T_i}{T} = \frac{28}{96} = 0,29 \approx 1:3$$





1.5 Messungen am Standard Logik Bausteinen in CMOS- und TTL-Technologie (74LS10, 74HC10 / 3-fach NAND / HPS-Koffer *ohne* roten Punkt)

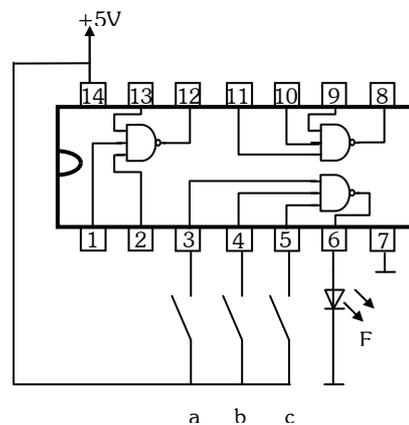


a) Logische Funktion beider Bausteine

$$F = a \cdot b \cdot c$$

a	b	c	F
0	0	0	1
0	0	1	1
0	1	0	1
0	1	1	1
1	0	0	1
1	0	1	1
1	1	0	1
1	1	1	0

Messaufbau:



Alle Eingänge bei TTL auf +5V legen, bei CMOS auf GND

b) Signallaufzeiten von einem Eingang zum Ausgang des logischen Gatters

Leerlauf: TTL-Baustein
 $t_{D01} = 29,41\text{ns}$ (Bild 1.5b-1)
 $t_{D10} = 11,76\text{ns}$

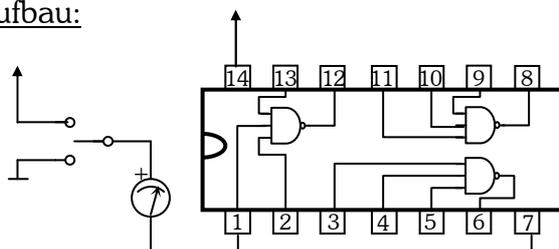
CMOS-Baustein
 $t_{D01} = 17,0\text{ns}$ (Bild 1.5b-3)
 $t_{D10} = 17,0\text{ns}$

Belastung: $t_{D01} = 20,59\text{ns}$ (Bild 1.5b-2)
 $t_{D10} = 10,59\text{ns}$

$t_{D01} = 17,65\text{ns}$ (Bild 1.5b-4)
 $t_{D10} = 17,65\text{ns}$

c) Statischer Strom am Eingang eines Gatters

Messaufbau:



Digitaltechnik – Aufgabe 1: Inbetriebnahme der Messgeräte



TTL-Baustein

log 1: $I = 0A$

log 0: $I = 247\mu A$

CMOS-Baustein

log 1: $I = 0A$

log 0: $I = 0A$

(nicht messbar)

d) Ausgangsspannungspegel im Leerlauf und unter Last

TTL-Baustein

Leerlauf: $U_{A/High} = 4,0V$ (Bild 1.5d-1)

$U_{A/Low} = 0,45V$

CMOS-Baustein

$U_{A/High} = 4,5V$ (Bild 1.5d-3)

$U_{A/Low} = 0V$

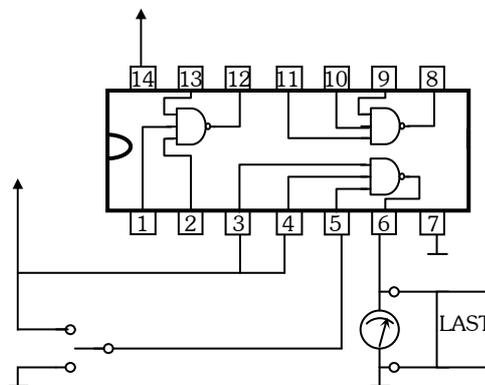
Belastung: $U_{A/High} = 4,0V$ (Bild 1.5d-2)

$U_{A/Low} = 0V$

$U_{A/High} = 4,5V$ (Bild 1.5d-4)

$U_{A/Low} = 0V$

Messaufbau:

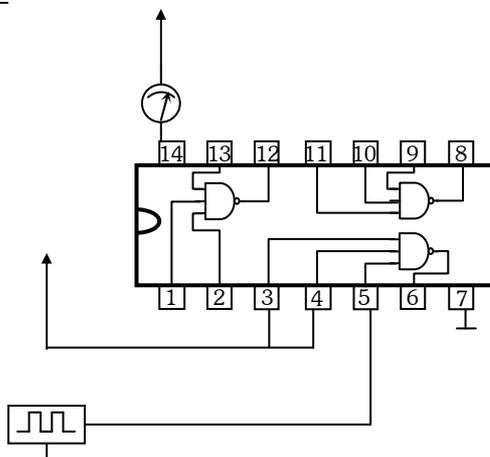


e) Stromaufnahme in Abhängigkeit von der Frequenz

$V_{DD} = +5V$

f in kHz	1	100	1000	
I in mA	15,06	15,16	15,15	CMOS
I in mA	3,9	3,9	4,0	TTL

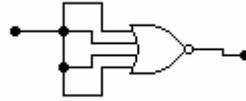
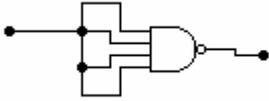
Messaufbau:





1.6 Zusammenschalten einfacher Gatter (TTL-Gatter des HPS-Koffers, Koffer mit rotem Punkt)

a) 4-fach NAND, 4-fach NOR → NICHT

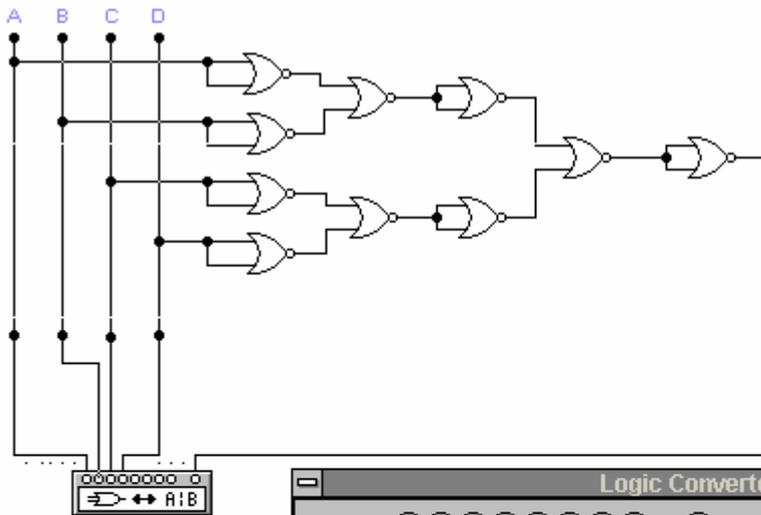


$$F = \overline{a \cdot b \cdot c \cdot d} = \overline{a \cdot a \cdot a \cdot a} = \overline{a}$$

$$F = \overline{a + b + c + d} = \overline{a + a + a + a} = \overline{a}$$

b) 4-fach NAND mit 2-fach NOR-Gattern

$$\overline{F} = a \cdot b \cdot c \cdot d = (a \cdot b) \cdot (c \cdot d) = \overline{\overline{a + b}} \cdot \overline{\overline{c + d}} = \overline{\overline{\overline{\overline{a + b}}}} \cdot \overline{\overline{\overline{\overline{c + d}}}} = \overline{\overline{a + b}} \text{ NOR } \overline{\overline{c + d}}$$



A	B	C	D	E	F	G	H	OUT
000	0	0	0	0				1
001	0	0	0	1				1
002	0	0	1	0				1
003	0	0	1	1				1
004	0	1	0	0				1
005	0	1	0	1				1
006	0	1	1	0				1
007	0	1	1	1				1
008	1	0	0	0				1
009	1	0	0	1				1
010	1	0	1	0				1
011	1	0	1	1				1
012	1	1	0	0				1
013	1	1	0	1				1
014	1	1	1	0				1
015	1	1	1	1				0

CONVERSIONS

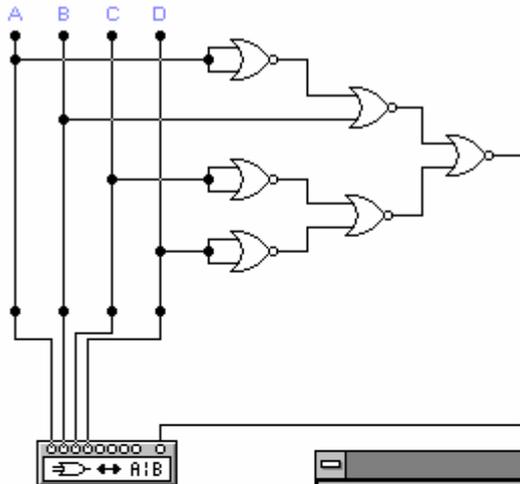
→
 → A | B
 → A | B
A | B →
A | B →
A | B → NAND

A' + B' + C' + D'



c) $Y = (\bar{a} + b) \cdot \overline{(c \cdot d)}$ mit NOR-Gattern

$$\begin{aligned}
 Y &= (\bar{a} + b) \cdot \overline{(c \cdot d)} = \overline{\overline{(\bar{a} + b)}} \cdot \overline{\overline{(c \cdot d)}} = \overline{\overline{(\bar{a} + b)}} \cdot \overline{\overline{(c + d)}} = \overline{\overline{(\bar{a} + b)}} \cdot \overline{\overline{(c + d)}} = \\
 &= \overline{\overline{(\bar{a} + b)}} + \overline{\overline{(c + d)}} = \overline{\overline{(\bar{a} + b)}} + \overline{\overline{(c + d)}} = \overline{\overline{(\bar{a} + b)}} \text{ NOR } \overline{\overline{(c + d)}}
 \end{aligned}$$



	A	B	C	D	E	F	G	H	OUT
000	0	0	0	0					1
001	0	0	0	1					1
002	0	0	1	0					1
003	0	0	1	1					0
004	0	1	0	0					1
005	0	1	0	1					1
006	0	1	1	0					1
007	0	1	1	1					0
008	1	0	0	0					0
009	1	0	0	1					0
010	1	0	1	0					0
011	1	0	1	1					0
012	1	1	0	0					1
013	1	1	0	1					1
014	1	1	1	0					1
015	1	1	1	1					0

CONVERSIONS

\rightarrow $\overline{101}$
 $\overline{101}$ \rightarrow $A \cdot B$
 $\overline{101}$ $\xrightarrow{\text{SIMP}}$ $A \cdot B$
 $A \cdot B \rightarrow \overline{101}$
 $A \cdot B \rightarrow$
 $A \cdot B \rightarrow \text{NAND}$

$A' C' + A' D' + B C' + B D'$

Ursprüngliche Schaltung:

$$t_{D01} = 22,06\text{ns} \quad (\text{Bild 1.6c-1})$$

$$t_{D10} = 15,29\text{ns} \quad (\text{Bild 1.6c-2})$$

Schaltung mit NOR-Gattern:

$$t_{D01} = 20,0\text{ns} \quad (\text{Bild 1.6c-3})$$

$$t_{D10} = 18,82\text{ns} \quad (\text{Bild 1.6c-4})$$